

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-152651

(43)Date of publication of application : 11.06.1996

(51)Int.Cl. G02F 1/136
G02F 1/1343
H01L 29/786
H01L 21/336

(21)Application number : 07-196779

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 01.08.1995

(72)Inventor : YAMAJI TOSHIFUMI

MASAHARA KOU

ODA NOBUHIKO

SUZUKI KOJI

NAKANISHI SHIRO

ABE HISASHI

MORIMOTO YOSHIHIRO

YONEDA KIYOSHI

(30)Priority

Priority number : 06235522

Priority date : 29.09.1994

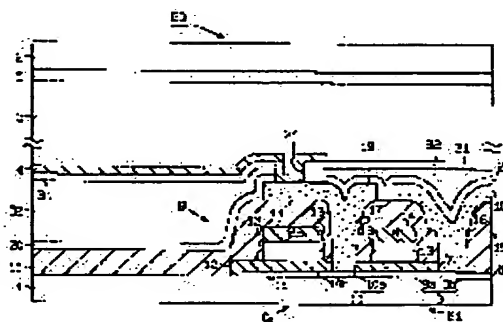
Priority country : JP

(54) DISPLAY DEVICE AND PRODUCTION OF DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent the degradation in contrast without adversely affecting pixel parts by providing a display device with a flattening film between the display electrodes and substrates of a liquid crystal cell.

CONSTITUTION: This display device is provided with an insulating film 31 and an SOG film 32 as the flattening film between the display electrodes 4 and the insulating film 20. Namely, the SOG film 32 held by the respective insulating films 20, 31 are formed on an auxiliary capacitor Cs and a TFT 61 (on an interlayer insulating film 15, a drain electrode 18 and a source electrode 19) and the display electrode 4 is formed on the SOG film 32. A stepped part B formed at the end of the auxiliary capacitor Cs is embedded by this SOG film 32, by which the surface of the display electrode 4 is flattened. Then, the orientation of the liquid crystal molecules in the liquid crystal layer 3 on the display electrode 4 is made uniform and the degradation in the contrast of the pixel 60 by the uniform orientation of the liquid crystal molecules in the liquid crystal layer 3 on the stepped part B is prevented.



LEGAL STATUS

[Date of request for examination] 25.08.1997
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3059915
[Date of registration] 21.04.2000
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-152651

(43)公開日 平成8年(1996)6月11日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
1/1343				
H 0 1 L 29/786		9056-4M	H 0 1 L 29/ 78	6 1 2 B
		9056-4M		6 2 7 A

審査請求 未請求 請求項の数24 O L (全 21 頁) 最終頁に続く

(21)出願番号 特願平7-196779

(22)出願日 平成7年(1995)8月1日

(31)優先権主張番号 特願平6-235522

(32)優先日 平6(1994)9月29日

(33)優先権主張国 日本 (J P)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 昌原 鎬

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 小田 信彦

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 弁理士 恩田 博宣

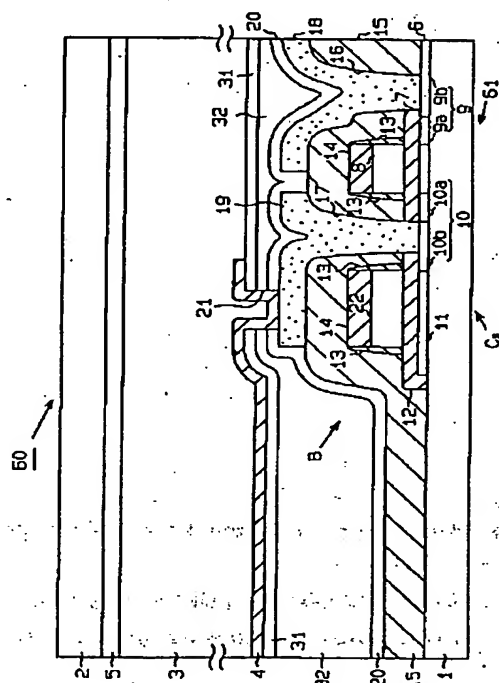
最終頁に続く

(54)【発明の名称】 表示装置および表示装置の製造方法

(57)【要約】

【課題】液晶セルの表示電極を平坦にすることが可能なLCDを提供する。

【解決手段】補助容量CSおよびTFT61の上に(層間絶縁膜15、ドレイン電極18、ソース電極19の上に)、各絶縁膜20、31によって挟まれたSOG膜32が形成され、その上に表示電極4が形成されている。そのSOG膜32によって補助容量CSの端部に形成された段差部Bが埋め込まれ、表示電極4の表面が平坦化される。



【特許請求の範囲】

【請求項1】 液晶セルの表示電極と基板との間に平坦化膜を備えた表示装置。

【請求項2】 基板上に形成された液晶セルの表示電極と、表示電極に接続される画素駆動素子と、表示電極と基板との間に設けられた平坦化膜とを備えた表示装置。

【請求項3】 相対向する基板と、各基板間に配置された液晶層と、一方の基板上に形成された液晶セルの表示電極と、表示電極に接続される画素駆動素子と、表示電極と基板との間に設けられた平坦化膜とを備えた表示装置。

【請求項4】 画素部と周辺駆動回路部とが同一基板上に形成されたドライバ一体型の表示装置において、画素部は液晶セルの表示電極と基板との間に平坦化膜を備え、周辺駆動回路部は基板上に形成された素子を備えた表示装置。

【請求項5】 画素部と周辺駆動回路部とが同一基板上に形成されたドライバ一体型の表示装置において、画素部は、基板上に形成された液晶セルの表示電極と、表示電極に接続される画素駆動素子と、表示電極と基板との間に設けられた平坦化膜とを備え、周辺駆動回路部は基板上に形成された素子を備えた表示装置。

【請求項6】 画素部と周辺駆動回路部とが同一基板上に形成されたドライバ一体型の表示装置において、画素部は、相対向する基板と、各基板間に配置された液晶層と、一方の基板上に形成された液晶セルの表示電極と、表示電極に接続される画素駆動素子と、表示電極と基板との間に設けられた平坦化膜とを備え、周辺駆動回路部は基板上に形成された素子を備えた表示装置。

【請求項7】 請求項4～6のいずれか1項に記載の表示装置において、周辺駆動回路部は、素子上に平坦化膜を介すことなく形成された液晶層を備えた表示装置。

【請求項8】 請求項1～7のいずれか1項に記載の表示装置において、表示電極に接続される補助容量を備えた表示装置。

【請求項9】 請求項2～8のいずれか1項に記載の表示装置において、画素駆動素子は薄膜トランジスタである表示装置。

【請求項10】 請求項1～9のいずれか1項に記載の表示装置において、平坦化膜はSOG膜である表示装置。

【請求項11】 請求項1～10のいずれか1項に記載の表示装置において、平坦化膜の上下を挟む各絶縁膜を備えた表示装置。

【請求項12】 請求項11に記載の表示装置において、表示電極に対応する各絶縁膜が部分的に取り除かれた表示装置。

【請求項13】 請求項11または請求項12に記載の表示装置において、絶縁膜はシリコン酸化膜、シリコン窒化膜、シリコン窒酸化膜からなるグループから選択された一つの膜である表示装置。

【請求項14】 請求項11または請求項12に記載の表示装置において、絶縁膜はプラズマTEOS膜、プラズマ酸化膜、ECR酸化膜からなるグループから選択された一つの膜である表示装置。

【請求項15】 請求項1～14のいずれか1項に記載の表示装置において、着色された平坦化膜を備えた表示装置。

【請求項16】 基板上に画素駆動素子を形成する工程と、画素駆動素子を含む基板の全面に第1の絶縁膜を形成する工程と、第1の絶縁膜上に平坦化膜を形成する工程と、平坦化膜上に第2の絶縁膜を形成する工程と、第2の絶縁膜上に画素駆動素子と接続される表示電極を形成する工程とを備えた表示装置の製造方法。

【請求項17】 画素部と周辺駆動回路部とが同一基板上に形成されたドライバ一体型の表示装置の製造方法において、画素部に対応する基板上に画素駆動素子を形成し、周辺駆動回路部に対応する基板上に素子を形成する工程と、画素駆動素子および素子を含む基板の全面に第1の絶縁膜を形成する工程と、第1の絶縁膜上に平坦化膜を形成する工程と、画素部に対応する平坦化膜だけを残し、周辺駆動回路部に対応する平坦化膜を除去して第1の絶縁膜を露出させる工程と、平坦化膜および第1の絶縁膜の上に第2の絶縁膜を形成する工程と、画素部に対応する第2の絶縁膜上に画素駆動素子と接続される表示電極を形成する工程とを備えた表示装置の製造方法。

【請求項18】 請求項16または請求項17に記載の表示装置の製造方法において、画素駆動素子の形成と同時に補助容量を形成する工程を備えた表示装置の製造方法。

【請求項19】 請求項16～18のいずれか1項に記載の表示装置の製造方法において、画素駆動素子は薄膜トランジスタである表示装置の製造方法。

【請求項20】 請求項16～19のいずれか1項に記載の表示装置の製造方法において、平坦化膜はSOG膜である表示装置の製造方法。

【請求項21】 請求項16～20のいずれか1項に記載の表示装置の製造方法において、表示電極に対応する第1および第2の絶縁膜を部分的に取り除く工程を備えた表示装置の製造方法。

【請求項22】 請求項16～21のいずれか1項に記

載の表示装置の製造方法において、第1および第2の絶縁膜はプラズマTEOS膜またはプラズマ酸化膜からなり、その絶縁膜の表面にイオンを注入する工程を備えた表示装置の製造方法。

【請求項23】 請求項16～22のいずれか1項に記載の表示装置の製造方法において、第1および第2の絶縁膜はプラズマTEOS膜またはプラズマ酸化膜からなり、その絶縁膜の表面に水素プラズマ処理を施す工程を備えた表示装置の製造方法。

【請求項24】 請求項16～23のいずれか1項に記載の表示装置の製造方法において、平坦化膜を着色する工程を備えた表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は表示装置および表示装置の製造方法に関するものである。

【0002】

【従来の技術】 近年、薄膜トランジスタ(TFT; Thin Film Transistor)を用いたアクティブマトリックス方式の液晶ディスプレイ(LCD; Liquid Crystal Display)が高画質な表示装置として注目されている。

【0003】 マトリックスに配置された点(ドット)で表示を行うドットマトリックスLCDには、単純マトリックス方式とアクティブマトリックス方式とがある。単純マトリックス方式は、マトリックスに配置された各画素の液晶を走査信号に同期して外部から直接駆動する方式であり、電極と液晶だけでLCDの表示部である画素部(液晶パネル)が構成されている。そのため、走査線数が増大すると1つの画素に割り当てられる駆動時間(デューティ)が少なくなり、コントラストが低下するという欠点がある。

【0004】 一方、アクティブマトリックス方式は、マトリックスに配置された各画素に画素駆動素子(アクティブエレメント)と信号蓄積素子(画素容量)とを集積し、各画素に一種の記憶動作を行わせて液晶を準スタティックに駆動する方式である。すなわち、画素駆動素子は、走査信号によってオン・オフ状態が切り換わるスイッチとして機能する。そして、オン状態にある画素駆動素子を介してデータ信号(表示信号)が画素に伝達され、液晶の駆動が行われる。その後、画素駆動素子がオフ状態になると、画素に印加されたデータ信号は電荷の状態で信号蓄積素子に蓄えられ、次に画素駆動素子がオン状態になるまで引き続き液晶の駆動が行われる。そのため、走査線数が増大して1つの画素に割り当てられる駆動時間が少なくなっても、液晶の駆動に影響を受けることはなく、コントラストが低下することもない。従って、アクティブマトリックス方式によれば、単純マトリックス方式に比べてはるかに高画質な表示が可能になる。

【0005】 アクティブマトリックス方式は画素駆動素

子の違いにより、トランジスタ型(3端子型)とダイオード型(2端子型)とに大別される。トランジスタ型は、ダイオード型に比べて製造が困難である反面、コントラストや解像度を高くするのが容易でCRTに匹敵する高品位なLCDを実現することができるという特徴がある。

【0006】 トランジスタ型の画素駆動素子としては、一般にTFTが用いられる。TFTでは、絶縁基板上に形成された半導体薄膜が能動層として使われる。能動層として、セレン化カドミウム(CdSe)やテルル(Te)などを用いる研究もなされているが、一般的なのは非晶質シリコン膜および多結晶シリコン膜である。能動層として非晶質シリコン膜を用いたTFTは非晶質シリコンTFTと呼ばれ、多結晶シリコン膜を用いたTFTは多結晶シリコンTFTと呼ばれる。多結晶シリコンTFTは非晶質シリコンTFTに比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTは、画素駆動素子としてだけでなく論理回路を構成する素子としても使用することができる。従って、多結晶シリコンTFTを用いれば、画素部だけでなく、その周辺に配置されている周辺駆動回路部までを同一基板上に一体にして形成することができる。すなわち、画素部に配置された画素駆動素子としての多結晶シリコンTFTと、周辺駆動回路部を構成する多結晶シリコンTFTとを同一工程で形成するわけである。

【0007】 図16に、一般的なアクティブマトリックス方式LCDのブロック構成を示す。画素部50には各走査線(ゲート配線)G1...Gn, Gn+1...Gmと各データ線(ドレイン配線)D1...Dn, Dn+1...Dmとが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ直交し、その直交部分に画素60が設けられている。そして、各ゲート配線はゲートドライバ51に接続され、ゲート信号(走査信号)が印加されるようになっている。また、各ドレイン配線はドレインドライバ(データドライバ)52に接続され、データ信号(ビデオ信号)が印加されるようになっている。これらのドライバ51, 52によって周辺駆動回路部53が構成されている。そして、各ドライバ51, 52のうち少なくともいずれか一方を画素部50と同一基板上に形成したLCDは、一般にドライバー一体型(ドライバ内蔵型)LCDと呼ばれる。尚、ゲートドライバ51が、画素部50の両側に設けられている場合もある。また、ドレインドライバ52が、画素部50の両側に設けられている場合もある。

【0008】 図17に、ゲート配線Gnとドレイン配線Dnとの直交部分に設けられている画素60の等価回路を示す。画素60は、画素駆動素子としてのTFT61、液晶セルLC、補助容量(蓄積容量または付加容量)CSから構成されている。ゲート配線GnにはTFT61のゲートが接続され、ドレイン配線DnにはTFT

TFT 61 のドレインが接続されている。そして、TFT 61 のソースには、液晶セル LC の表示電極 (画素電極) と補助容量 CS とが接続されている。この液晶セル LC と補助容量 CS とにより、前記信号蓄積素子が構成される。液晶セル LC の共通電極 (表示電極の反対側の電極) には電圧 V_{com} が印加されている。一方、補助容量 CS において、TFT のソースと接続される側の電極 (以下、蓄積電極という) の反対側の電極 (以下、対向電極という) には定電圧 V_R が印加されている。この液晶セル LC の共通電極は、文字どおり全ての画素 60 に対して共通した電極となっている。そして、液晶セル LC の表示電極と共通電極との間には静電容量が形成されている。尚、補助容量 CS の対向電極は、隣のゲート配線 G_{n+1} と接続されている場合もある。

【0009】このように構成された画素 60 において、ゲート配線 G_n を正電圧にして TFT 61 のゲートに正電圧を印加すると、TFT 61 がオンとなる。すると、ドレイン配線 D_n に印加されたデータ信号で、液晶セル LC の静電容量と補助容量 CS とが充電される。反対に、ゲート配線 G_n を負電圧にして TFT 61 のゲートに負電圧を印加すると、TFT 61 がオフとなり、その時点でドレイン配線 D_n に印加されていた電圧が、液晶セル LC の静電容量と補助容量 CS とによって保持される。このように、画素 60 へ書き込みたいデータ信号をドレイン配線に与えてゲート配線の電圧を制御することにより、画素 60 に任意のデータ信号を保持させることができる。その画素 60 の保持しているデータ信号に応じて液晶セル LC の透過率が変化し、画像が表示される。

【0010】ここで、画素 60 の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部 50 の仕様から定められた単位時間内に、信号蓄積素子 (液晶セル LC および補助容量 CS) に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することができるかどうかという点である。

【0011】補助容量 CS が設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性および保持特性を向上させるためである。すなわち、液晶セル LC はその構造上、静電容量の増大には限界がある。そこで、補助容量 CS によって液晶セル LC の静電容量の不足分を補うわけである。

【0012】図 18 に、プレーナ型の多結晶シリコン TFT を TFT 61 として用いた透過型構成をとる従来の LCD における画素 60 の概略断面を示す。相対向する各透明絶縁基板 1、2 の間には液晶が充填された液晶層 3 が形成されている。透明絶縁基板 1 には液晶セル LC の表示電極 4 が設けられ、透明絶縁基板 2 には液晶セル

LC の共通電極 5 が設けられており、各電極 4、5 は液晶層 3 を挟んで対向している。

【0013】透明絶縁基板 1 における液晶層 3 側の表面には、TFT 61 の能動層となる多結晶シリコン膜 6 が形成されている。多結晶シリコン膜 6 上にはゲート絶縁膜 7 が形成されている。ゲート絶縁膜 7 上には、ゲート配線 G_n を構成するゲート電極 8 が形成されている。多結晶シリコン膜 6 にはドレイン領域 9 およびソース領域 10 が形成されて TFT 61 が構成される。尚、TFT 61 は LDD (Lightly Doped Drain) 構造を取り、ドレイン領域 9 およびソース領域 10 はそれぞれ、低濃度領域 9a、10a および高濃度領域 9b、10b から構成される。

【0014】透明絶縁基板 1 において TFT 61 と隣接する部分には、TFT 61 の作成と同時に同一工程にて補助容量 CS が形成されている。補助容量 CS の蓄積電極 11 は多結晶シリコン膜 6 に形成され、TFT 61 のソース領域 10 と接続されている。蓄積電極 11 上には誘電体膜 12 が形成され、誘電体膜 12 上には補助容量 CS の対向電極 22 が形成されている。尚、誘電体膜 12 はゲート絶縁膜 7 の延長上にあり、ゲート絶縁膜 7 と同一構成で同一工程にて形成される。また、対向電極 22 はゲート電極 8 と同一構成で同一工程にて形成される。対向電極 22 およびゲート電極 8 の側壁には絶縁膜 13 が形成され、対向電極 22 およびゲート電極 8 の上には絶縁膜 14 が形成されている。

【0015】TFT 61 および補助容量 CS の全面には層間絶縁膜 15 が形成されている。ソース領域 10 を構成する高濃度領域 10b とドレイン領域 9 を構成する高濃度領域 9b とはそれぞれ、層間絶縁膜 15 に形成された各コンタクトホール 17、16 を介して、ソース電極 19 とドレイン配線 D_n を構成するドレイン電極 18 とに接続されている。ドレイン電極 18 およびソース電極 19 を含むデバイスの全面には絶縁膜 20 が形成されている。ソース電極 19 は絶縁膜 20 に形成されたコンタクトホール 21 を介して表示電極 4 と接続されている。尚、ドレイン電極 18 およびソース電極 19 の材質としては一般にアルミ合金が用いられ、表示電極 4 の材質としては一般に ITO (Indium Tin Oxide) が用いられる。また、各電極 4、18、19 の形成には一般にスパッタ法が用いられる。

【0016】このように、ソース領域 10 と表示電極 4 とがソース電極 19 を介して接続されているのは、ソース領域 10 と表示電極 4 とのオーミックコンタクトをとるためである。すなわち、ソース電極 19 を省くと、多結晶シリコン膜 6 から成るソース領域 10 と ITO から成る表示電極 4 とが直接接続される。その結果、ソース領域 10 と表示電極 4 とのヘテロ接合によってバンドギャップ差によるエネルギーギャップが生じ、良好なオーミックコンタクトを得られなくなる。ソース領域 10 と

表示電極4とのオーミックコンタクトがとれていないと、ドレイン配線Dnに印加されたデータ信号が画素60へ正確に書き込まれなくなり、LCDの画質が低下することになる。

【0017】図19は画素60の実際の平面図である。尚、図18は図19のA-A線断面であるが、図を分かり易くするため各部材の配置を実際とは変えて図示しており、図19とは一部対応していない箇所がある。

【0018】

【発明が解決しようとする課題】図18に示すように、補助容量CSは蓄積電極11、誘電体膜12、対向電極22の積層構造をとるため、補助容量CSの端部の表示電極4には大きな段差が生じる(図示B部)。その段差の断面形状は補助容量CSの形状に沿ったものになるため、表示電極4の平坦な部分Cに対してある程度の傾斜角度(図示 $\angle\theta$)をもつ。従って、当該段差部(以下、段差部Bという)上の液晶層3中の液晶分子は均一な配向が得られなくなる。

【0019】液晶層3中の液晶分子の配向が均一でなくなると、液晶層3の光透過および光遮断を表示電極4によって制御できなくなり、常に光透過の状態になってしまう。すなわち、段差部Bでは常に光透過の状態になってコントラストが低下することになる。

【0020】図19に示すように、段差部B(図示の斜線部)は画素60の中心部を囲む位置にあるため、段差部Bのコントラストの低下は特に目に付き易い。従って、LCDの画質は大幅に低下することになる。

【0021】また、段差部Bでは表示電極4の膜厚が薄くなるため、表示電極4の抵抗値が増大したり断線などの問題も起こりやすくなる。そこで、表示電極4の表面を平坦化するため、表示電極4と層間絶縁膜15との間に平坦化膜を設ける構成が提案されている。

【0022】例えば、特開平2-234134号公報(G02F1/136,G09F9/30)には、平坦化膜としてSOG(Spin On Glass)膜またはアクリル系樹脂塗膜などを用いる構成が開示されている。また、特開平4-31826号公報(G02F1/1333,G02F1/136)にも、平坦化膜としてSOG膜を用いる構成が開示されている。

【0023】SOGとは、シリコン化合物を有機溶剤に溶解した溶液、および、その溶液から形成される二酸化シリコンを主成分とする膜の総称である。SOG膜の塗布にはスピンコート法が用いられる。すなわち、シリコン化合物を有機溶剤に溶解した溶液を基板上に滴下して基板を回転させる。すると、当該溶液の被膜は、配線によって形成される基板上の段差に対して、その凹部には厚く、その凸部には薄く、段差を緩和するように形成される。その結果、当該溶液の被膜の表面は平坦化される。次に、熱処理が施されると、有機溶剤が蒸発すると共に重合反応が進行して、表面が平坦なSOG膜が形成される。

【0024】SOG膜には、一般式(1)で表されるように、シリコン化合物中に有機成分を含まない無機SOG膜と、一般式(2)で表されるように、シリコン化合物中に有機成分を含む有機SOG膜とがある。

【0025】 $[\text{SiO}_2]_n \cdots \cdots (1)$

$[\text{R}_x\text{SiO}_y]_n \cdots \cdots (2)$

(n, X, Y; 整数; R; アルキル基またはアリール基)

無機SOG膜は、水分および水酸基を多量に含んでいる上に吸湿性が高く、CVD(Chemical Vapor Deposition)法によって形成されたシリコン酸化膜に比べて脆弱であり、膜厚を0.5 μm 以上にすると熱処理時にクラックが発生し易いという欠点がある。

【0026】一方、有機SOG膜は、分子構造上、アルキル基またはアリール基で結合が閉じている部分があるため、熱処理時におけるクラックの発生が抑制され、膜厚を0.5~1 μm 程度にすることができる。従って、有機SOG膜を用いれば、膜厚の大きな層間絶縁膜を得ることができ、基板上の大きな段差に対しても十分な平坦化が可能になる。しかし、無機SOG膜に比べれば少ないものの、有機SOG膜にも水分および水酸基が含まれている上に、吸湿性も高い。

【0027】このように、SOG膜には水分および水酸基が含まれている上に吸湿性が高いという性質がある。また、SOG膜の絶縁性および機械的強度は、CVD法によって形成されたシリコン酸化膜に比べて低い。

【0028】従って、表示電極4と層間絶縁膜15との間に平坦化膜としてSOG膜を設けた場合、SOG膜に含まれている水分および水酸基が補助容量CS、TFT61、液晶層3、各配線18、19に悪影響を与える恐れがある。例えば、補助容量CSおよびTFT61については、水分および水酸基によってホットキャリア耐性が劣化する。また、各配線18、19については、水分および水酸基によって配線が酸化し、抵抗値が増大したり断線する恐れがある。さらに、液晶層3に含まれている水分をSOG膜が吸収し、SOG膜に含まれる水分がさらに増加する恐れもある。加えて、SOG膜の機械的強度が低いために、画素部50全体の機械的強度が低下する恐れもある。

【0029】ちなみに、特開平4-31826号公報には、逆スタガ型のTFT上に保護膜を形成し、その保護膜上にSOG膜を形成してもよい旨が記載されている。また、保護膜としてはシリコン窒化膜やシリコン酸化膜を用い、その形成にはCVD法を用いる旨も記載されている。但し、同公報には、保護膜を設ける必要と得られる効果については何らの記載もない。このような保護膜を設ければ、SOG膜に含まれている水分および水酸基がTFTおよび配線に悪影響を与えるのを防止することができる。しかし、SOG膜に含まれている水分および水酸基が液晶層に悪影響を与えるのを防止することは

きない。また、液晶層に含まれている水分をSOG膜が吸収し、SOG膜に含まれる水分がさらに増加するのを防止することもできない。

【0030】ところで、LCDにおいてカラー画像を表示するには、3原色である赤、緑、青(RGB; Red Green Blue)の各色のカラーフィルタを設ける必要がある。例えば、1枚の画素部(液晶パネル)50を使用する単板式の液晶プロジェクタ用LCDや直視用LCDでは、各画素60にRGBの各色が1対1で対応するように各色のカラーフィルタを設ける。また、RGBの各色に対応した3枚の画素部50を使用し、各画素部50から投影された画像を1つに合成する3板式の液晶プロジェクタ用LCDでは、各画素部50にRGBの各色が1対1で対応するように各色のカラーフィルタを設ける。

【0031】図20に、図18に示す画素60に対してカラーフィルタ62が設けられた従来のLCDにおける画素60の概略断面を示す。透明絶縁基板2上にカラーフィルタ62が形成され、そのカラーフィルタ62上に液晶セルLCの共通電極5が形成されている。尚、カラーフィルタ62の材質としては一般に合成樹脂が用いられ、その着色には染料や顔料が用いられる。

【0032】このように、カラー用のLCDを製造する場合には、透明絶縁基板2上にカラーフィルタ62を形成する工程の分だけ、モノクロ用のLCDを製造する場合に比べて製造工程が複雑化するという問題がある。

【0033】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) 画素部に悪影響を与えることなくコントラストの低下を防止することが可能な表示装置およびその製造方法を提供する。

【0034】2) 画素部に悪影響を与えることなくコントラストの低下を防止することが可能な表示装置の製造方法に係り、カラーフィルタを容易に製造することが可能な製造方法を提供する。

【0035】3) 画素部および周辺駆動回路部に悪影響を与えることなくコントラストの低下を防止することが可能なドライバー体型の表示装置およびその製造方法を提供する。

【0036】4) 画素部および周辺駆動回路部に悪影響を与えることなくコントラストの低下を防止することが可能なドライバー体型の表示装置の製造方法に係り、カラーフィルタを容易に製造することが可能な製造方法を提供する。

【0037】

【課題を解決するための手段】請求項1に記載の発明は、液晶セルの表示電極と基板との間に平坦化膜を備えたことをその要旨とする。

【0038】このようにすれば、液晶セルの表示電極が平坦であるため、表示電極上の液晶分子の配向が均一になる。その結果、液晶分子の配向が不均一になることに

よるコントラストの低下を防止することができる。また、表示電極が平坦であるため、表示電極の膜厚を均一にするのが容易になり、膜厚が薄くなることによる抵抗値の増大や断線などの故障を回避することができる。

【0039】請求項2に記載の発明は、基板上に形成された液晶セルの表示電極と、表示電極に接続される画素駆動素子と、表示電極と基板との間に設けられた平坦化膜とを備えたことをその要旨とする。

【0040】このようにすれば、画素駆動素子による段差を平坦な絶縁層で解消することにより、液晶セルの表示電極が平坦になるため、請求項1に記載の発明と同様の作用および効果を得ることができる。

【0041】請求項3に記載の発明は、相対向する基板と、各基板間に配置された液晶層と、一方の基板上に形成された液晶セルの表示電極と、表示電極に接続される画素駆動素子と、表示電極と基板との間に設けられた平坦化膜とを備えたことをその要旨とする。

【0042】請求項4に記載の発明は、画素部と周辺駆動回路部とが同一基板上に形成されたドライバー体型の表示装置において、画素部は液晶セルの表示電極と基板との間に平坦化膜を備え、周辺駆動回路部は基板上に形成された素子を備えたことをその要旨とする。

【0043】このようにすれば、画素部だけに平坦化膜を設け、周辺駆動回路部には平坦化膜を設けないことができる。従って、平坦化膜が周辺駆動回路部の素子に悪影響を与えるのを防止することができる。

【0044】請求項5に記載の発明は、画素部と周辺駆動回路部とが同一基板上に形成されたドライバー体型の表示装置において、画素部は、基板上に形成された液晶セルの表示電極と、表示電極に接続される画素駆動素子と、表示電極と基板との間に設けられた平坦化膜とを備え、周辺駆動回路部は基板上に形成された素子を備えたことをその要旨とする。

【0045】請求項6に記載の発明は、画素部と周辺駆動回路部とが同一基板上に形成されたドライバー体型の表示装置において、画素部は、相対向する基板と、各基板間に配置された液晶層と、一方の基板上に形成された液晶セルの表示電極と、表示電極に接続される画素駆動素子と、表示電極と基板との間に設けられた平坦化膜とを備え、周辺駆動回路部は基板上に形成された素子を備えたことをその要旨とする。

【0046】請求項7に記載の発明は、請求項4～6のいずれか1項に記載の表示装置において、周辺駆動回路部は、素子上に平坦化膜を介すことなく形成された液晶層を備えたことをその要旨とする。

【0047】請求項8に記載の発明は、請求項1～7のいずれか1項に記載の表示装置において、表示電極に接続される補助容量を備えたことをその要旨とする。このようにすれば、補助容量による段差を平坦な絶縁層で解消することができる。

【0048】請求項9に記載の発明は、請求項2～8のいずれか1項に記載の表示装置において、画素駆動素子は薄膜トランジスタであることをその要旨とする。このようにすれば、画素駆動素子を高性能にすることが可能になり、高画質な表示装置を得ることができる。

【0049】請求項10に記載の発明は、請求項1～9のいずれか1項に記載の表示装置において、平坦化膜はSOG膜であることをその要旨とする。このようにすれば、高性能な平坦化膜を得ることができる。

【0050】請求項11に記載の発明は、請求項1～10のいずれか1項に記載の表示装置において、平坦化膜の上下を挟む各絶縁膜を備えたことをその要旨とする。このようにすれば、平坦化膜が素子に悪影響を与えるのを防止することができる。

【0051】請求項12に記載の発明は、請求項11に記載の表示装置において、表示電極に対応する各絶縁膜が部分的に取り除かれたことをその要旨とする。このようにすれば、透過型の表示装置に適用する場合、各絶縁膜は光を透過しなくてもよい。

【0052】請求項13に記載の発明は、請求項11または請求項12に記載の表示装置において、絶縁膜はシリコン酸化膜、シリコン窒化膜、シリコン窒酸化膜からなるグループから選択された一つの膜であることをその要旨とする。

【0053】請求項14に記載の発明は、請求項11または請求項12に記載の表示装置において、絶縁膜はプラズマTEOS膜、プラズマ酸化膜、ECR酸化膜からなるグループから選択された一つの膜であることをその要旨とする。

【0054】請求項15に記載の発明は、請求項1～14のいずれか1項に記載の表示装置において、着色された平坦化膜を備えたことをその要旨とする。このようにすれば、平坦化膜をカラーフィルタとして流用することができる。

【0055】請求項16に記載の発明は、基板上に画素駆動素子を形成する工程と、画素駆動素子を含む基板の全面に第1の絶縁膜を形成する工程と、第1の絶縁膜上に平坦化膜を形成する工程と、平坦化膜上に第2の絶縁膜を形成する工程と、第2の絶縁膜上に画素駆動素子と接続される表示電極を形成する工程とを備えたことをその要旨とする。

【0056】請求項17に記載の発明は、画素部と周辺駆動回路部とが同一基板上に形成されたドライバ一体型の表示装置の製造方法において、画素部に対応する基板上に画素駆動素子を形成し、周辺駆動回路部に対応する基板上に素子を形成する工程と、画素駆動素子および素子を含む基板の全面に第1の絶縁膜を形成する工程と、第1の絶縁膜上に平坦化膜を形成する工程と、画素部に対応する平坦化膜だけを残し、周辺駆動回路部に対応する平坦化膜を除去して第1の絶縁膜を露出させる工程

と、平坦化膜および第1の絶縁膜の上に第2の絶縁膜を形成する工程と、画素部に対応する第2の絶縁膜上に画素駆動素子と接続される表示電極を形成する工程とを備えたことをその要旨とする。

【0057】請求項18に記載の発明は、請求項16または請求項17に記載の表示装置の製造方法において、画素駆動素子の形成と同時に補助容量を形成する工程を備えたことをその要旨とする。

【0058】請求項19に記載の発明は、請求項16～18のいずれか1項に記載の表示装置の製造方法において、画素駆動素子は薄膜トランジスタであることをその要旨とする。

【0059】請求項20に記載の発明は、請求項16～19のいずれか1項に記載の表示装置の製造方法において、平坦化膜はSOG膜であることをその要旨とする。請求項21に記載の発明は、請求項16～20のいずれか1項に記載の表示装置の製造方法において、表示電極に対応する第1および第2の絶縁膜を部分的に取り除く工程を備えたことをその要旨とする。

【0060】請求項22に記載の発明は、請求項16～21のいずれか1項に記載の表示装置の製造方法において、第1および第2の絶縁膜はプラズマTEOS膜またはプラズマ酸化膜からなり、その絶縁膜の表面にイオンを注入する工程を備えたことをその要旨とする。

【0061】このようにすれば、各絶縁膜中のダングリングボンドが多くなり、水分の透過抑制効果を高めることができる。請求項23に記載の発明は、請求項16～22のいずれか1項に記載の表示装置の製造方法において、第1および第2の絶縁膜はプラズマTEOS膜またはプラズマ酸化膜からなり、その絶縁膜の表面に水素プラズマ処理を施す工程を備えたことをその要旨とする。

【0062】このようにすれば、各絶縁膜中のSi-H結合が多くなり、水分の透過抑制効果を高めることができる。請求項24に記載の発明は、請求項16～23のいずれか1項に記載の表示装置の製造方法において、平坦化膜を着色する工程を備えたことをその要旨とする。

【0063】

【発明の実施の形態】

(第1実施形態)以下、本発明を具体化した第1実施形態を図1～図6に従って説明する。尚、本実施形態においては、図16～図20に示した従来例と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0064】図1に、プレーナ型の多結晶シリコンTFTをTFT61として用いた透過型構成をとる本実施形態のLCDにおける画素60の概略断面を示す。本実施形態において、図18に示した従来例と異なるのは、表示電極4と絶縁膜20(膜厚:1000Å)との間に、絶縁膜31(膜厚:1000Å)と、平坦化膜としてのSOG膜32(膜厚:5000～10000Å)とが設けられている点だけである。すなわち、本実施形態では、補助容量CSお

よびTFT61の上に(層間絶縁膜15, ドレイン電極18, ソース電極19の上に)、各絶縁膜20, 31によって挟まれたSOG膜32が形成され、その上に表示電極4が形成されている。そのSOG膜32によって補助容量CSの端部に形成された段差部Bが埋め込まれ、表示電極4の表面が平坦化されている。

【0065】従って、本実施形態によれば、表示電極4上の液晶層3中の液晶分子の配向が均一になり、段差部B上の液晶層3中の液晶分子の配向が不均一になることによる画素60のコントラストの低下を防止することができる。その結果、LCDの画質を向上させることができる。また、表示電極4の表面が平坦化されるため、後記する製造工程において表示電極4の膜厚を均一にすることが容易になり、膜厚が部分的に薄くなることによる抵抗値の増大や断線などの問題を回避することもできる。

【0066】ここで、各絶縁膜20, 31には以下に示すような性質が要求される。

- (1) 絶縁性および機械的強度が高いこと。
- (2) 水分および水酸基を含まないことに加え、水分および水酸基を透過しない。

【0067】(3) 補助容量CS, TFT61, 液晶層3, 各配線18, 19などに悪影響を与えるような物質を含まないこと。

- (4) 光の透過を阻害しないこと。

【0068】このような性質を有する各絶縁膜20, 31によってSOG膜32が挟まれたサンドウィッチ構造を採用することで、以下に示すような作用および効果を得ることができる。

【0069】①各膜20, 32, 31から成る層間絶縁膜の全体としての絶縁性および機械的強度を高めることができる。その結果、画素部50全体の機械的強度を向上させることができる。

【0070】②SOG膜32の下層に絶縁膜20を設けることで、SOG膜32に含まれている水分および水酸基が補助容量CS, TFT61, 各配線18, 19に悪影響を与えるのを防止することができる。

【0071】③SOG膜32の上層に絶縁膜31を設けることで、SOG膜32に含まれている水分および水酸基が液晶層3に悪影響を与えるのを防止すると共に、液晶層3に含まれている水分をSOG膜32が吸収するのを防止することができる。

【0072】次に、本実施形態の製造方法を順次説明する。

工程1(図2参照); まず、透明絶縁基板1(石英ガラス, 高耐熱ガラス)上にノンドープの多結晶シリコン膜6(膜厚: 500 Å)を形成する。

【0073】多結晶シリコン膜6の形成方法には以下のものがある。

①多結晶シリコン膜6を直接形成する方法; CVD法ま

たはPVD(Physical Vapor Deposition)法を用いる。CVD法には常圧CVD法, 減圧CVD法, プラズマCVD法, ECR(Electron Cyclotron Resonance)プラズマCVD法, 光励起CVD法などがある。また、PVD法には蒸着法, EB(Electron Beam)蒸着法, MBE(Molecular Beam Epitaxy)法, スパッタ法などがある。

【0074】この中では、モノシラン(SiH_4)またはジシラン(Si_2H_6)の熱分解を利用する減圧CVD法が一般的であり、最も高品質な多結晶シリコン膜6を形成することができる。減圧CVD法では、処理温度が約550℃以下では非晶質、約620℃以上では多結晶となる。

【0075】また、プラズマ中でのモノシランまたはジシランの熱分解を利用するプラズマCVD法も用いられる。プラズマCVD法の処理温度は300℃程度で、水素を添加すると反応が促進されて非晶質シリコン膜が形成される。そして、不活性ガス(ヘリウム, ネオン, アルゴン, クリプトン, キセノン, ラドン)を添加するとプラズマが励起され、同一の処理温度でも多結晶シリコン膜が形成される。

【0076】②非晶質シリコン膜を形成した後に多結晶化させて多結晶シリコン膜6を形成する方法; 固相成長法または熔融再結晶化法を用いる。固相成長法は、非晶質シリコン膜に600℃前後で20時間前後の長時間の熱処理を行うことにより、固体のままで多結晶化させて多結晶シリコン膜を得る方法である。

【0077】熔融再結晶化法は、非晶質シリコン膜の表面だけを熔融させて再結晶化を図りながら基板温度を600℃以下に保つ方法であり、レーザアニール法やRTA(Rapid Thermal Annealing)法がある。レーザアニール法は、非晶質シリコン膜の表面にレーザを照射して加熱熔融させる方法である。RTA法は、非晶質シリコン膜の表面にランプ光を照射して加熱熔融させる方法である。

【0078】このように、固相成長法または熔融再結晶化法を用いて基板温度が600℃以上にならないようにすれば、透明絶縁基板として高耐熱ガラスを用いることができる。石英ガラスは大型化に伴って著しく高価になる上に現在のところ大型化には限りがあるため、基板の寸法が制約を受ける。そのため、コスト的に見合うLCDのパネルサイズは2型以下となり、ビデオカメラのビューファインダ用や液晶プロジェクタ用としては十分に使用できるものの、直視用としてはパネルサイズが小さすぎて使用できない。一方、通常のガラス(高耐熱ガラス)は石英ガラスの約1/10の価格で寸法にも制限がない。現在、LCD用に市販されている高耐熱ガラス(例えば、米国Coming Inc.製の「7059」)では600℃程度の耐熱温度がある。そこで、透明絶縁基板に通常のガラス(高耐熱ガラス)を使えるように、多結晶シリコンT

FTを600℃程度以下の低温の工程（低温プロセスと呼ばれる）を使って形成することが求められている。尚、多結晶シリコンTFTを1000℃程度の高温の工程で形成する場合は、低温プロセスに対して高温プロセスと呼ばれる。

【0079】次に、多結晶シリコン膜6上にゲート絶縁膜7および誘電体膜12（膜厚；1000Å）を同時に形成する。ゲート絶縁膜7および誘電体膜12の形成方法には以下のものがある。

【1】酸化法を用いてシリコン酸化膜を形成する方法；高温酸化法（乾燥酸素を用いるドライ酸化法，湿った酸素を用いるウェット酸化法，水蒸気雰囲気中での酸化法），低温酸化法（高圧水蒸気雰囲気中での酸化法，酸素プラズマ中での酸化法），陽極酸化法などを用いる。

【0080】【2】被着法を用いてシリコン酸化膜，シリコン窒化膜，シリコン窒酸化膜（ SiO_xN_y ）を形成する方法；CVD法やPVD法を用いる。また、各膜を組み合わせる多層構造にする方法もある。

【0081】CVD法によるシリコン酸化膜の形成には、モノシランまたはジシランの熱分解、TEOS（Tetra-Ethyl-Ortho-Silicate）などの有機オキシシランの熱分解、ハロゲン化珪素の加水分解などを用いる。CVD法によるシリコン窒化膜の形成には、アンモニアおよびジクロルシラン（ SiH_2Cl_2 ），アンモニアおよびモノシラン，窒素およびモノシランなどの熱分解などを用いる。シリコン窒酸化膜は酸化膜と窒化膜の両膜の特性をもつもので、CVD法によるシリコン窒化膜の形成の系に酸化窒素（ N_2O ）を少量導入することで形成できる。

【0082】尚、ゲート絶縁膜7および誘電体膜12の形成方法にも高温プロセスおよび低温プロセスがある。高温プロセスでは、一般に前記した高温酸化法が用いられる。一方、低温プロセスでは、一般に前記した酸素プラズマ中での酸化法や被着法などが用いられ、処理温度が600℃程度以下に抑えられる。

【0083】次に、誘電体膜12を除くゲート絶縁膜7上だけにレジストパターンを形成する。続いて、当該レジストパターンをマスクとして多結晶シリコン膜6に蓄積電極11を形成する。蓄積電極11の形成方法にも高温プロセスおよび低温プロセスがある。高温プロセスでは、不純物をイオン注入後に高温の熱処理を行って不純物を活性化させる。低温プロセスでは、ホスフィンガス（ PH_3 ）またはジボランガス（ B_2H_6 ）と水素ガスとの混合ガスによるイオンシャワーを照射することで、特別な熱処理工程を設けることなく不純物の注入と活性化を同時に行う。尚、低温プロセスでは、不純物イオンを注入後に600℃程度以下の低温で数時間～数十時間の熱処理を行うことで不純物を活性化させる方法もある。このとき、ゲート絶縁膜7上にはレジストパターンが形成されているため、ゲート絶縁膜7下の多結晶シリコン

膜6（ソース領域10およびドレイン領域9、各領域9、10間のチャネル領域）に不純物が注入されることなく、ゲート絶縁膜7下の多結晶シリコン膜6はノンドープのままに保たれる。

【0084】その後、当該レジストパターンを除去する。次に、ゲート絶縁膜7および誘電体膜12の上に、それぞれゲート電極8および対向電極22（膜厚；3000Å）を同時に形成して所望の形状にパターンニングする。ゲート電極8および対向電極22の材質としては、不純物がドープされた多結晶シリコン（ドープドポリシリコン）、金属シリサイド、ポリサイド、高融点金属単体、その他の金属などが用いられ、その形成にはCVD法またはPVD法が用いられる。

【0085】続いて、ゲート電極8および対向電極22の上に絶縁膜14を形成する。絶縁膜14としてはシリコン酸化膜，シリコン窒化膜，シリコン窒酸化膜などが用いられ、その形成にはCVD法またはPVD法が用いられる。

【0086】そして、自己整合技術により、絶縁膜14およびゲート電極8をマスクとして多結晶シリコン膜6に低濃度領域9a，10aを形成する。低濃度領域9a，10aの形成方法は、注入する不純物の濃度が低い点を除けば蓄積電極11のそれと同じである。

【0087】ところで、絶縁膜14を形成するのは、低濃度領域9a，10aの形成時にゲート電極8および対向電極22にも不純物が注入されるのを防ぐためである。特に、ゲート電極8および対向電極22としてドープドポリシリコンを用いた場合には、低濃度領域9a，10aの形成時に不純物が注入されると抵抗値が増大する恐れがあるため、絶縁膜14は不可欠である。

【0088】次に、ゲート電極8および対向電極22の側壁に絶縁膜13を形成する。絶縁膜13の材質および形成方法は絶縁膜14のそれと同じである。続いて、各絶縁膜13，14上にレジストパターンを形成する。

【0089】そして、当該レジストパターンをマスクとして多結晶シリコン膜6に高濃度領域9b，10bを形成する。高濃度領域9b，10bの形成方法は蓄積電極11のそれと同じである。

【0090】その後、当該レジストパターンを除去する。次に、デバイスの全面に層間絶縁膜15を形成する。層間絶縁膜15としてはシリコン酸化膜，シリコン窒化膜，シリコン窒酸化膜，シリケートガラスなどが用いられ、その形成にはCVD法またはPVD法が用いられる。また、各膜を組み合わせる多層構造とする方法もある。例えば、ノンドープのシリコン酸化膜（以下、NSG膜という）でBPSG（Boron-doped Phospho-Silicate Glass）膜を挟んだ構造（NSG/BPSG/NSG）で層間絶縁膜15を構成し、BPSG膜の形成後にリフローを行うことにより、層間絶縁膜15の段差被覆性を向上させる方法がある。層間絶縁膜15の段差被覆

性を向上させれば、SOG膜32による平坦化と相まって表示電極4の平坦化効果をさらに増すことができる。

【0091】続いて、異方性エッチングにより、層間絶縁膜15に各コンタクトホール16、17を形成する。そして、デバイスを水素プラズマ中に晒すことにより、多結晶シリコン膜6の水素化処理を行う。水素化処理とは、多結晶シリコンの結晶欠陥部分に水素原子を結合させることにより、欠陥を減らして結晶構造を安定化させ、電界効果移動度を高める方法である。これにより、TFT61の素子特性を向上させることができる。

【0092】工程2（図3参照）；スパッタ法により、各コンタクトホール16、17内を含むデバイスの全面にアルミ合金膜（Al-1%Si-0.5%Cu）を堆積する。次に、当該アルミ合金膜を所望の形状にパターニングすることにより、ドレイン電極18およびソース電極19を形成する。

【0093】尚、アルミ合金膜に1%という過飽和なシリコンを含有させるのは、多結晶シリコン膜6からドレイン電極18およびソース電極19の中へシリコンが取り込まれるのを防止するためである。また、アルミ合金膜に銅を添加させるのは、ドレイン電極18およびソース電極19のエレクトロマイグレーション耐性およびストレスマイグレーション耐性を向上させるためである。

【0094】続いて、デバイスの全面に絶縁膜20を形成する。

工程3（図4参照）；絶縁膜20上にSOG膜32を形成する。SOG膜32には有機SOG膜または無機SOG膜を用いる。

【0095】その塗布にはスピンコート法が用いられる。すなわち、前記式（1）または式（2）に示す組成のシリコン化合物のエタノール溶液を透明絶縁基板1の上に滴下して基板を回転速度；4800rpmで20秒間回転させ、当該溶液の被膜を透明絶縁基板1の上に形成させる。このとき、そのエタノール溶液の被膜は、透明絶縁基板1上の段差に対して、その凹部（すなわち、段差部B）には厚く、その凸部には薄く、段差を緩和するように形成される。その結果、エタノール溶液の被膜の表面は平坦化される。

【0096】次に、大気中において、80℃で1分間、150℃で1分間、200℃で1分間、順次熱処理が施されると、エタノールが蒸発すると共に重合反応が進行して、表面がほぼ平坦なSOG膜が形成される。

【0097】このエタノール溶液の被膜の形成および熱処理を複数回（本実施形態では3回）繰り返し、最後に窒素雰囲気中において、370℃で30分間の熱処理を行って、所望の膜厚のSOG膜32を形成する。

【0098】尚、上記の熱処理工程は、窒素雰囲気中において、100℃で1分間、200℃で1分間、300℃で1分間、22℃で1分間、300℃で30分間、順次熱処理を施す方法に置き代えてもよい。

【0099】工程4（図5参照）；プラズマCVD法を用いて、SOG膜32の上に絶縁膜31を形成する。各絶縁膜20、31としてはシリコン酸化膜、シリコン窒化膜、シリコン窒酸化膜などが用いられる。その中でも、特に前記(2)の性質（水分および水酸基を含まない）に加え、水分および水酸基を透過しない）を有する膜として、プラズマCVD法によって形成されたTEOS膜（以下、プラズマTEOS膜という）、プラズマCVD法によって形成されたシリコン酸化膜（以下、プラズマ酸化膜という）、ECRプラズマCVD法によって形成されたシリコン酸化膜（以下、ECR酸化膜という）などが用いられる。

【0100】これらの膜（プラズマTEOS膜、プラズマ酸化膜、ECR酸化膜）に水分の透過を抑制する性質があるのは、膜中のダングリングボンドが水分を捕獲するためであると考えられている。また、膜中のダングリングボンドだけでは水分の透過抑制効果について十分な説明がつかないことから、膜中のSi-H結合が水分を捕獲するためであるとも考えられている。

【0101】プラズマTEOS膜やプラズマ酸化膜は、ECR酸化膜に比べると、水分の透過を抑制する性能が劣っている。水分の透過を抑制する性能を向上させるには、プラズマTEOS膜やプラズマ酸化膜の表面に後記する各イオン種を注入し、そのイオン注入領域のダングリングボンドを多くすればよい。

【0102】そのイオン注入領域のダングリングボンドが水分を捕獲し、水分の透過を抑制するため、イオン注入領域が設けられたプラズマTEOS膜やプラズマ酸化膜においては、水分の透過抑制能力が極めて高くなる。

【0103】また、イオン注入領域を設けることで、プラズマTEOS膜やプラズマ酸化膜の膜厚を薄くしても十分な水分の透過抑制効果を得ることができる。従って、各絶縁膜20、31の膜厚を薄くすることが可能になり、コンタクトホール21が高アスペクト比化することを防止することができる。

【0104】ここで、イオン注入領域を形成するために注入するイオンとしては、①プラズマTEOS膜やプラズマ酸化膜にダングリングボンドを生成しやすくするため十分に質量が大きく、②前記(3)の性質（補助容量C_S、TFT61、液晶層3、各配線18、19などに悪影響を与えるような物質を含まない）を満足するものがよく、具体的には、シリコンイオン、不活性ガスイオン、ヒ素イオン、リンイオンなどがあげられる。尚、不活性ガスイオンにおいて、水素イオンやヘリウムイオンが質量が小さいため不适当であり、イオン注入の容易さを考慮するとアルゴンイオンが适当である。

【0105】また、イオン注入領域を形成するためのイオン注入の条件は、使用するイオン種やプラズマTEOS膜またはプラズマ酸化膜の膜厚によっても異なるが、注入エネルギー；10～150eV、ドーズ量；1E1

6 ~ 1 E 1 7 c m⁻²程度が望ましい。尚、イオン注入によってプラズマTEOS膜やプラズマ酸化膜に生じるダメージを考慮すると注入エネルギーは小さいほど良いが、注入エネルギーを小さくした場合にはドーズ量を大きくする必要がある。

【0106】ところで、プラズマTEOS膜やプラズマ酸化膜の水分の透過を抑制する性能を向上させるには、膜の表面に水素プラズマ処理を施し、その水素プラズマ処理領域のSi-H結合を多くすればよい。

【0107】その水素プラズマ処理領域のSi-H結合が水分を捕獲し、水分の透過を抑制するため、水素プラズマ処理領域が設けられたプラズマTEOS膜やプラズマ酸化膜においては、水分の透過抑制能力が極めて高くなる。

【0108】また、水素プラズマ処理領域を設けることで、プラズマTEOS膜やプラズマ酸化膜の膜厚を薄くしても十分な水分の透過抑制効果を得ることができる。従って、各絶縁膜20、31の膜厚を薄くすることが可能になり、コンタクトホール21が高アスペクト比化するのを防止することができる。

【0109】ところで、プラズマ酸化膜の形成に用いられるガスは、モノシランと亜酸化窒素(SiH₄+N₂O)、モノシランと酸素(SiH₄+O₂)、TEOS(Tetra-ethoxy-silane)と酸素(TEOS+O₂)などであり、成膜温度は300~900℃である。

【0110】工程5(図6参照)；異方性エッチングにより、各膜31、32、20にコンタクトホール21を形成する。次に、スパッタ法により、コンタクトホール21内を含むデバイスの全面にITO膜23を堆積する。

【0111】工程6(図1参照)；ITO膜23を所望の形状にパターニングして表示電極4(膜厚；2000Å)を形成する。次に、上記の製造工程によってTFT61および補助容量CSが作成された透明絶縁基板1と、表面に共通電極5が形成された透明絶縁基板2とを相対向させ、その間に液晶を封入して液晶層3を形成することで、LCDの画素部50が完成する。

【0112】ところで、透明絶縁基板1に高耐熱ガラスを用いた場合には、多結晶シリコン膜4の形成時だけでなく、表示電極4の形成までの全工程に渡って低温プロセスを用いなければならない。従って、各絶縁膜20、31の形成方法としては、処理温度が低いプラズマCVD法、ECRプラズマCVD法、光励起CVD法、PVD法が適している。

【0113】また、ソース領域10と表示電極4とがソース電極19を介して接続されているのは、ソース領域10と表示電極4とのオーミックコンタクトをとるためである。すなわち、ソース電極19を省くと、多結晶シリコン膜6から成るソース領域10とITOから成る表示電極4とが直接接続される。その結果、ソース領域1

0と表示電極4とのヘテロ接合によってバンドギャップ差によるエネルギーギャップが生じ、良好なオーミックコンタクトを得られなくなる。ソース領域10と表示電極4とのオーミックコンタクトがとれていないと、ドレイン配線Dnに印加されたデータ信号が画素60へ正確に書き込まれなくなり、LCDの画質が低下することになる。

【0114】このように、本実施形態の製造方法は一般的な技術を用いたものであり、その実施は簡単かつ容易である。

(第2実施形態)次に、本発明を具体化した第2実施形態を説明する。

【0115】本実施例形態において、第1実施形態と異なるのは、SOG膜32が着色されてカラーフィルタとしての機能をも合わせもつ点だけである。SOG膜32を着色するには以下に示す方法がある。

【0116】①SOG膜32の形成後に染料を用いて染色する。

②前記式(1)または式(2)に示す組成のシリコン化合物のエタノール溶液中に染料または顔料を分散させておき、そのエタノール溶液をスピンコート法で塗布する。その後で前記と同様の熱処理を行う。

【0117】③SOG膜32の形成後、その表面に顔料が分散されたインキを印刷する。このように、SOG膜32を着色する工程はごく簡単なものであるため、第1実施形態で説明したSOG膜32の形成工程が複雑化することはない。

【0118】ここで、本実施形態を単板式の液晶プロジェクト用LCDや直視用LCDに適用する場合は、各画素60にRGBの各色が1対1で対応するように各色のカラーフィルタを設ける。また、本実施形態を3板式の液晶プロジェクト用LCDに適用する場合は、各画素部50にRGBの各色が1対1で対応するように各色のカラーフィルタを設ける。

【0119】このように、本実施形態によれば、第1実施形態と同様の作用および効果を得ることができる。そして、第1実施形態の製造方法にSOG膜32を着色する工程を加えるだけで、SOG膜32をカラーフィルタとして流用することができる。従って、製造工程を複雑化することなく、カラーフィルタを容易に製造することができる。

【0120】(第3実施形態)次に、本発明を具体化した第3実施形態を図7~図12に従って説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0121】図7に、ドライバー一体型で透過型構成をとる本実施形態のLCDの概略断面を示す。図7(a)に画素60の概略断面を示し、図7(b)に画素部50と周辺駆動回路部53との間の配線部分の概略断面を示し、図7(c)に周辺駆動回路部53の概略断面を示す。

す。

【0122】本実施形態において、図7(a)に示す画素60の概略断面は図1に示す第1実施形態のそれと同じである。図7(b)に示すように、絶縁膜15上にはゲート配線Gnまたはドレイン配線Dnが形成され、その配線Gn、Dnを含むデバイスの全面には各絶縁膜20、31が形成されている。

【0123】図7(c)に示すように、透明絶縁基板1における液晶層3側の表面には、周辺駆動回路部53を構成するプレーナ型多結晶シリコンTFT(以下、TFTと略す)41が形成され、そのTFT41を含むデバイスの全面には各絶縁膜20、31が形成されている。尚、TFT41はLDD構造をとる。

【0124】このように、本実施形態において、画素部50と周辺駆動回路部53との間の配線部分および周辺駆動回路部53にはSOG膜32が形成されていない。SOG膜32は、表示電極4の表面を平坦化するために必要なものであって、画素部50と周辺駆動回路部53との間の配線部分および周辺駆動回路部53においては必要ではない。むしろ、画素部50と周辺駆動回路部53との間の配線部分および周辺駆動回路部53にSOG膜32を形成した場合、SOG膜32に含まれている水分および水酸基が各配線Gn、DnおよびTFT41に悪影響を与える恐れがある。例えば、TFT41については、水分および水酸基によってホットキャリア耐性が劣化する。また、各配線Gn、Dnについては、水分および水酸基によって配線が酸化し、抵抗値が増大したり断線する恐れがある。

【0125】LCDの画質を向上させるには周辺駆動回路部53の動作速度を速くする必要がある。従って、周辺駆動回路部53を構成するTFT41に要求されるホットキャリア耐性は、画素部50を構成するTFT61のそれよりも高い。つまり、SOG膜32に含まれている水分および水酸基による悪影響は、TFT61よりもTFT41において特に顕著に表れることになる。

【0126】従って、周辺駆動回路部53にSOG膜32が形成されていない場合、SOG膜32に含まれている水分および水酸基によってTFT41のホットキャリア耐性が劣化することなく、周辺駆動回路部53の動作速度を速くすることができる。

【0127】ところで、前記各公報(特開平2-234134号公報、特開平4-31826号公報)には、ドライバ一体型LCDについての記載はなく、画素部と周辺駆動回路部との間の配線部分および周辺駆動回路部に平坦化膜を設けるか否かについての記載もない。

【0128】このように、本実施形態によれば、第1実施形態と同様の作用および効果を得ることができる。つまり、周辺駆動回路部53の電気的特性を損ねることなく、画素部50の光学的特性を高めることがで

きる。すなわち、周辺駆動回路部53に悪影響を与えることなく、ドライバ一体型LCDの画質を向上させることができる。

【0129】次に、本実施形態の製造方法を図8～図12に従って順次説明する。尚、図8～図12において、各図の(a)(b)(c)はそれぞれ図7の(a)(b)(c)に対応する。

【0130】(第1の製造方法)以下、本実施形態の第1の製造方法を図2、図3、図8～図10に従って順次説明する。

【0131】工程1(図2参照)；画素60の製造方法については、第1実施形態の製造方法の工程1と同じである。また、ゲート配線Gnはゲート電極8と同様の方法で形成する。そして、TFT41はTFT61と同様の方法で形成する。

【0132】工程2(図3参照)；画素60の製造方法については、第1実施形態の製造方法の工程2と同じである。また、ドレイン配線Dnはドレイン電極18と同様の方法で形成する。そして、画素部50と周辺駆動回路部53との間の配線部分および周辺駆動回路部53を含むデバイス全面に絶縁膜20を形成する。

【0133】工程3(図8参照)；デバイス全面の絶縁膜20上にSOG膜32を形成する。SOG膜32の形成方法は第1実施形態と同じである。

工程4(図9参照)；画素部50(画素60)に対応するSOG膜32上だけにレジストパターン42を形成する。

【0134】工程5(図10参照)；レジストパターン42をエッチング用マスクとしてSOG膜32をエッチングする。その結果、画素部50(画素60)にだけSOG膜32が形成され、画素部50と周辺駆動回路部53との間の配線部分および周辺駆動回路部53にはSOG膜32が形成されていない状態になる。次に、デバイスの全面に絶縁膜31を形成する。

【0135】この後の工程は第1実施例と同じである。(第2の製造方法)次に、本実施形態の第2の製造方法を図11および図12に従って順次説明する。

【0136】工程1；第1の製造方法の工程1と同じである。

工程2；第1の製造方法の工程2と同じである。

工程3(図11参照)；スピンコート法を用いて、デバイス全面の絶縁膜20上に、前記式(1)または式(2)に示す組成のシリコン化合物のエタノール溶液43を塗布する。

【0137】次に、大気中において、画素部50(画素60)に対応する部分に塗布されたシリコン化合物のエタノール溶液43だけに、80℃で1分間、150℃で1分間、200℃で1分間、順次熱処理を施し、最後に窒素雰囲気中において、370℃で30分間の熱処理を行う。すると、エタノールが蒸発すると共に重合反応が進行して、

画素部50(画素60)に対応する部分だけに表面がほぼ平坦なSOG膜32が形成される。このとき、画素部50以外の部分(画素部50と周辺駆動回路部53との間の配線部分、周辺駆動回路部53)に塗布されたシリコン化合物のエタノール溶液43には熱処理を施さない。そのため、画素部50以外の部分のエタノール溶液43は硬化せずSOG膜32は形成されない。ここで、画素部50(画素60)に対応する部分だけに熱処理を施すにはRTA法を用いればよい。

【0138】このエタノール溶液の被膜の形成および熱処理を複数回繰り返す。

工程4(図12参照);画素部50以外の部分に残っているエタノール溶液43をリンス液(エタノールなど)を用いて除去する。その結果、画素部50(画素60)にだけSOG膜32が形成され、画素部50と周辺駆動回路部53との間の配線部分および周辺駆動回路部53にはSOG膜32が形成されていない状態になる。

【0139】この後の工程は第1の製造方法と同じである。尚、上記の熱処理工程は、窒素雰囲気中において、100℃で1分間、200℃で1分間、300℃で1分間、22℃で1分間、300℃で30分間、順次熱処理を施す方法に置き代えてもよい。

【0140】このように、本実施形態の第1および第2の製造方法は一般的な技術を用いたものであり、その実施は簡単かつ容易である。尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

【0141】〔1〕SOG膜32として有機SOG膜を用いた場合、SOG膜32に酸素プラズマ処理を施す。その結果、有機SOG膜中のC-Si結合がSi-O-Si結合に変化し、有機SOG膜に含まれる有機成分が分解されて膜質を改善することができる。有機SOG膜には有機成分が含まれているため、コンタクトホール21を開孔する際のエッチング時に、SOG膜32中に含まれる水分や絶縁膜20からの酸素供給により、各絶縁膜20、31に比べてSOG膜32が余分にエッチングされる。また、エッチングマスクとして用いるフォトリソレジストを除去する際のアッシング処理時に、SOG膜32に含まれる有機成分も分解するため、SOG膜32が収縮・後退してリセスが発生してしまう。リセスが発生すると、ITO膜23を形成する際に、コンタクトホール21内にITO膜23を十分に埋め込むことができなくなり、良好なコンタクトが得られなくなる。

【0142】但し、上記各実施形態では段差部Bの段差が大きく、その段差部Bを埋め込むSOG膜32の膜厚が厚いため、コンタクトホール21内に露出するSOG膜32の膜厚は必然的に薄くなる。そのため、SOG膜32に酸素プラズマ処理を施さなくてもリセスが生じる恐れはあまりなく、高度な信頼性を要求される場合以外には特に必要ないといえる。

【0143】〔2〕SOG膜32の形成後にエッチバックを行う。

SOG膜32に含まれる水分および水酸基が増大するとボイズンドピアなどの不良が起こる。ボイズンドピアとは、配線に金属を用いた場合、ピアホール部に露出しているSOG膜に含まれる水分により、ピアホール部の配線(上記実施形態ではコンタクトホール21内の表示電極4)が腐食される現象である。これを防止するには、図13に示すように、各絶縁膜20、31でSOG膜32を挟むと共に、絶縁膜31を形成する前にSOG膜32をエッチバックすることで、コンタクトホール21の断面が各絶縁膜20、31だけで形成されるようにして、コンタクトホール21内にSOG膜32が露出されないようにすればよい。

【0144】但し、SOG膜32のエッチバックについても、上記した酸素プラズマ処理の場合と同様な理由により、高度な信頼性を要求される場合以外には特に必要ないといえる。

【0145】〔3〕SOG膜32を感光性樹脂絶縁膜44に置き代える。

例えば、ボジ型の感光性樹脂絶縁膜44を用いた場合には、図14に示すように、デバイスの全面に感光性樹脂絶縁膜44を塗布後に、画素部50(画素60)上だけをマスク45で覆って露光を行う。すると、画素部50(画素60)に塗布された感光性樹脂絶縁膜44だけが感光して硬化し、画素部50以外の部分(画素部50と周辺駆動回路部53との間の配線部分、周辺駆動回路部53)に塗布された感光性樹脂絶縁膜44は感光せず硬化しない。そこで、硬化していない感光性樹脂絶縁膜44をリンス液を用いて除去すれば、画素部50(画素60)にだけ感光性樹脂絶縁膜44が形成される。

【0146】ネガ型の感光性樹脂絶縁膜44を用いた場合には、デバイスの全面に感光性樹脂絶縁膜44を塗布後に、画素部50以外の部分上だけをマスク45で覆って露光を行う。

【0147】〔4〕SOG膜32を他の塗布絶縁膜(ポリイミド系樹脂膜、アクリル系樹脂膜、エポキシ系樹脂膜など)に置き代える。

〔5〕図15に示すように、補助容量CS、TFT61、各配線18、19が形成されていない部分の各絶縁膜20、31をバターニングして除去する。この場合、各絶縁膜20、31は光を透過しなくてもよい。

【0148】〔6〕第3実施形態において、画素部50と周辺駆動回路部53との間の配線部分および周辺駆動回路部53に形成された各絶縁膜20、31のうちいずれか一方の膜を省く。

【0149】〔7〕TFT61を、LDD構造ではなくSD(Single Drain)構造またはダブルゲート構造とする。また、TFT61をLDD構造ではなくSD構造とする。

【0150】〔8〕ドレイン領域9とソース領域10との間のチャネル領域に不純物をドーピングしてTFT61の閾値電圧(V_{th})を制御する。固相成長法で形成された多結晶シリコン膜6を能動層とするTFT61においては、nチャネルトランジスタではディプレッション方向に閾値電圧がシフトし、pチャネルトランジスタではエンハンスメント方向に閾値電圧がシフトする傾向にある。特に、水素化処理を行った場合には、その傾向がより顕著となる。この閾値電圧のシフトを抑えるには、チャネル領域に不純物をドーピングすればよい。

【0151】〔9〕補助容量CSを省く。

〔10〕TFT61を、プレーナ型ではなく逆プレーナ型、スタガ型、逆スタガ型などの他の構造のTFTに置き代える。

【0152】〔11〕TFT61を、多結晶シリコンTFTではなく非晶質シリコンTFTに置き代える。

〔12〕ソース電極19を、アルミ合金ではない他の導電材料によって形成する。そのような導電材料としては、高融点金属単体の薄膜、高融点金属化合物、金属シリサイド、ドーブドポリシリコンなどがある。

【0153】〔13〕TFTを画素駆動素子として用いたトランジスタ型のアクティブマトリックス方式LCDだけでなく、バルクトランジスタを画素駆動素子として用いたトランジスタ型やダイオード型のアクティブマトリックス方式LCDに適用する。ダイオード型の画素駆動素子には、MI(Metal Insulator Metal)、ZnO(酸化亜鉛)バリスタ、MSI(Metal Semi-Insulator)、BTB(Back To Back diode)、RD(Ring Diode)などがある。

【0154】〔14〕反射型構成をとるLCDに適用する。この場合、各絶縁膜20、31は光を透過しなくてもよい。

〔15〕第1実施形態と第2実施形態、第2実施形態と第3実施形態とをそれぞれ組み合わせて実施する。この場合、組み合わせる各実施形態の相乗作用および相乗効果を得ることができる。

【0155】〔16〕周辺駆動回路部53上のSOG膜32、液晶層3、共通電極5、透明絶縁基板2を省き、画素部50上にだけSOG膜32、液晶層3、共通電極5、透明絶縁基板2を設ける。

【0156】以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ) 請求項16~23のいずれか1項に記載の表示装置の製造方法において、画素駆動素子を構成する半導体層に水素化処理を施す工程を備えた表示装置の製造方法。

【0157】このようにすれば、半導体層にシリコン膜を用いた場合、その結晶欠陥部分に水素原子が結合することにより、欠陥が減って結晶構造が安定化し、電界効

果移動度を高めることができる。

【0158】(ロ) 請求項16~23のいずれか1項に記載の表示装置の製造方法において、画素駆動素子を構成する半導体層のチャネル領域に相当する部分に不純物をドーピングする工程を備えた表示装置の製造方法。

【0159】このようにすれば、画素駆動素子としてトランジスタを用いた場合、その閾値電圧を制御することができる。ちなみに、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

【0160】a) 基板としては、石英基板や高耐熱ガラス基板だけでなく、高耐熱樹脂などのあらゆる絶縁材料による基板を含むだけでなく、表面に絶縁層を設けた金属基板などをも含む。

【0161】b) 表示電極としては、ITO膜だけでなく酸化スズ膜をも含む。

c) 平坦化膜としては、SOG膜だけでなく感光性樹脂絶縁膜、その他の塗布絶縁膜(ポリイミド系樹脂膜、アクリル系樹脂膜、エポキシ系樹脂膜など)をも含む。

【0162】

【発明の効果】

1) 画素部に悪影響を与えることなくコントラストの低下を防止することが可能な表示装置およびその製造方法を提供することができる。

【0163】2) 画素部に悪影響を与えることなくコントラストの低下を防止することが可能な表示装置の製造方法に係り、カラーフィルタを容易に製造することが可能な製造方法を提供することができる。

【0164】3) 画素部および周辺駆動回路部に悪影響を与えることなくコントラストの低下を防止することが可能なドライバー体型の表示装置およびその製造方法を提供することができる。

【0165】4) 画素部および周辺駆動回路部に悪影響を与えることなくコントラストの低下を防止することが可能なドライバー体型の表示装置の製造方法に係り、カラーフィルタを容易に製造することが可能な製造方法を提供することができる。

【図面の簡単な説明】

【図1】第1、2実施形態の画素の概略断面図。

【図2】第1、2実施形態の製造方法を説明するための概略断面図。

【図3】第1、2実施形態の製造方法を説明するための概略断面図。

【図4】第1、2実施形態の製造方法を説明するための概略断面図。

【図5】第1、2実施形態の製造方法を説明するための概略断面図。

【図6】第1、2実施形態の製造方法を説明するための概略断面図。

【図7】第3実施形態のLCDの概略断面図。

【図8】第3実施形態の製造方法を説明するための概略

断面図。

【図9】第3実施形態の製造方法を説明するための概略断面図。

【図10】第3実施形態の製造方法を説明するための概略断面図。

【図11】第3実施形態の製造方法を説明するための概略断面図。

【図12】第3実施形態の製造方法を説明するための概略断面図。

【図13】別の実施形態の画素の概略断面図。

【図14】別の実施形態の製造方法を説明するための概略断面図。

【図15】別の実施形態の画素の概略断面図。

【図16】アクティブマトリクス方式LCDのブロック構成図。

【図17】画素の等価回路図。

【図18】従来例の画素の概略断面図。

【図19】画素の平面図。

【図20】従来例の画素の概略断面図。

【符号の説明】

1, 2…透明絶縁基板

3…液晶層

4…表示電極

20, 31…絶縁膜

32…平坦化膜としてのSOG膜

41…素子としてのTFT

44…平坦化膜としての感光性樹脂絶縁膜

50…画素部

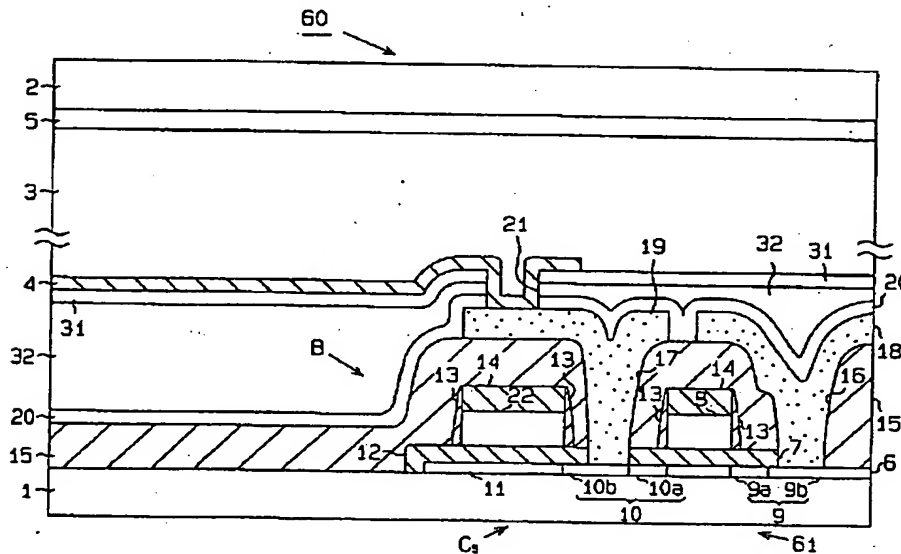
53…周辺駆動回路部

61…画素駆動素子としてのTFT

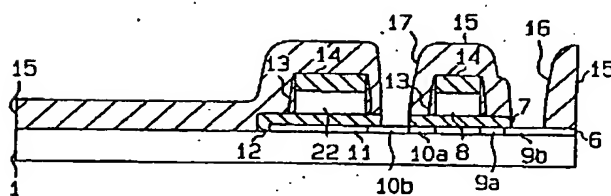
LC…液晶セル

CS…補助容量

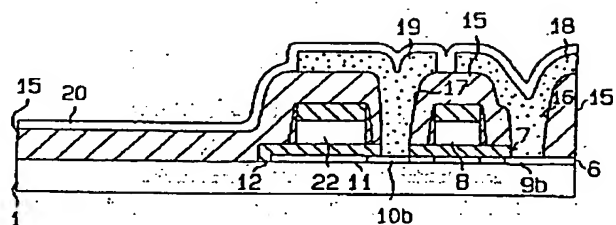
【図1】



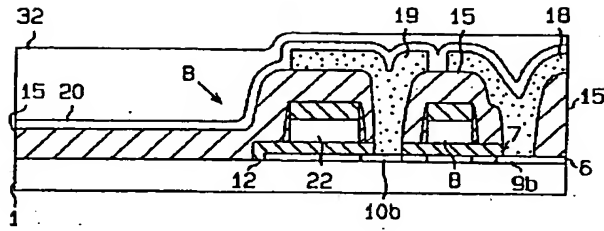
【図2】



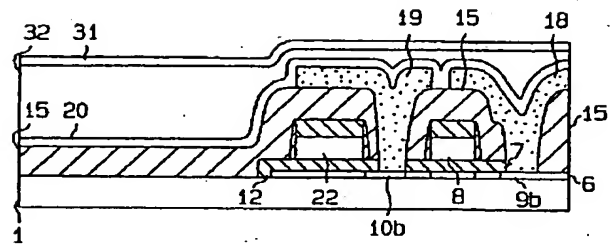
【図3】



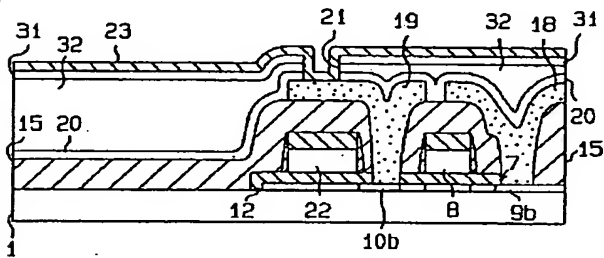
【図4】



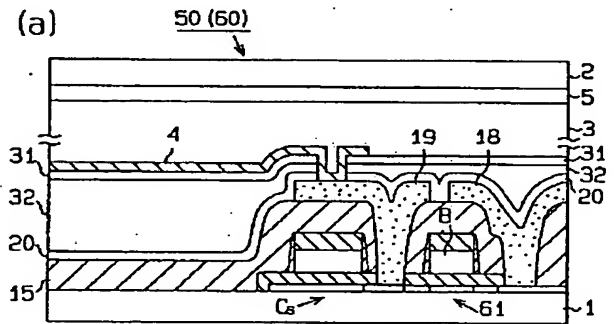
【図5】



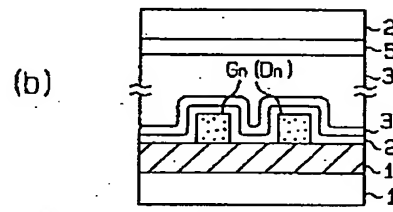
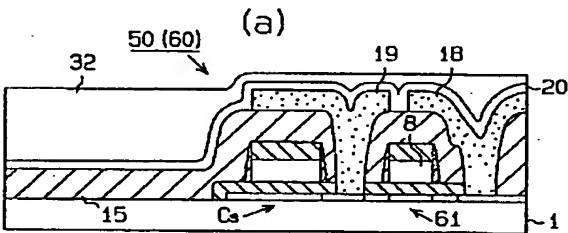
【図6】



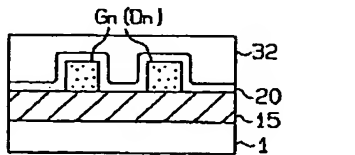
【図7】



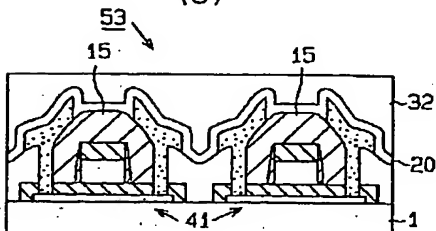
【図8】



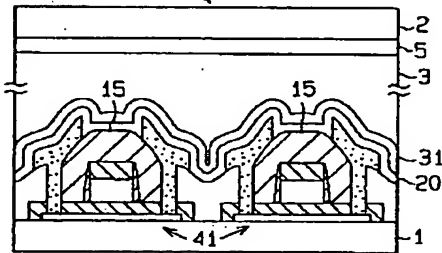
(b)



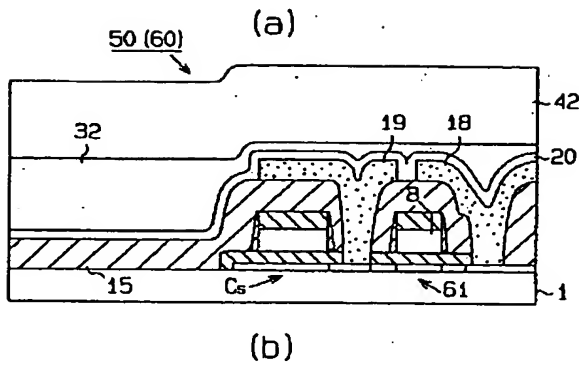
(c)



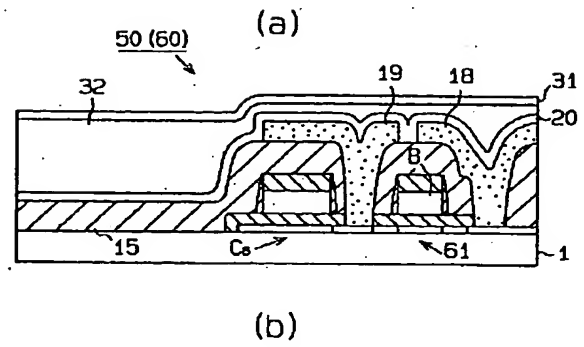
(c)



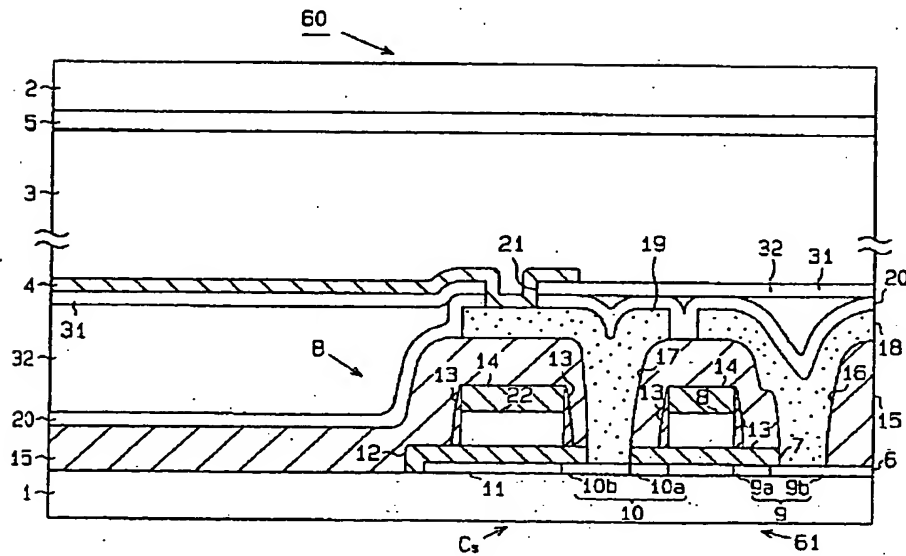
【図9】



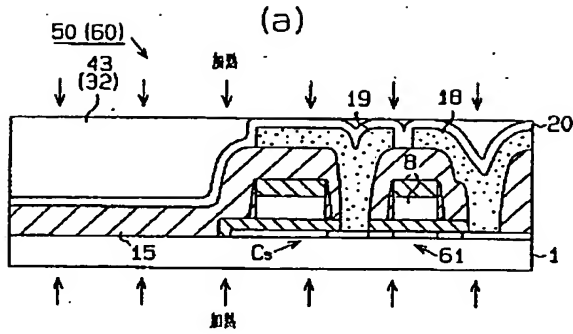
【図10】



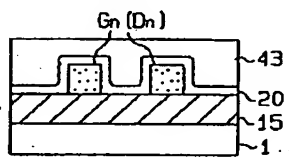
【図13】



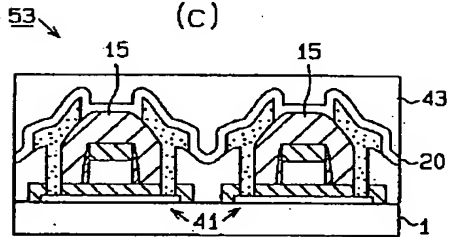
【図11】



(b)

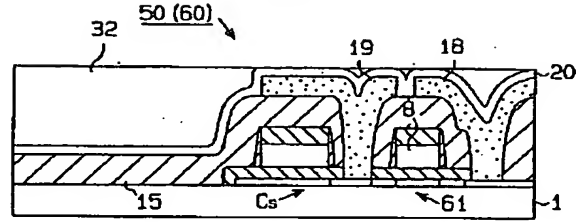


(c)

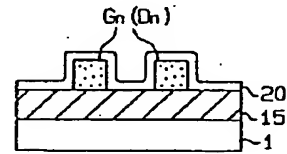


【図12】

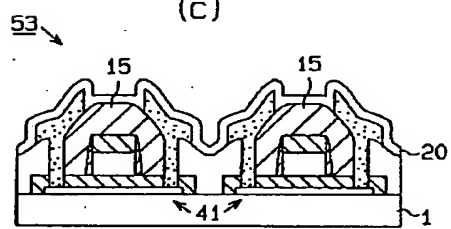
(a)



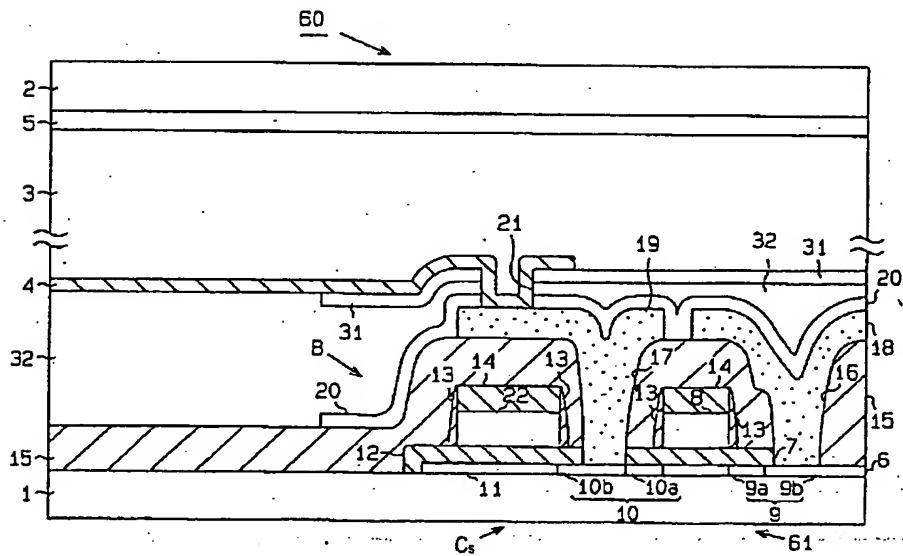
(b)



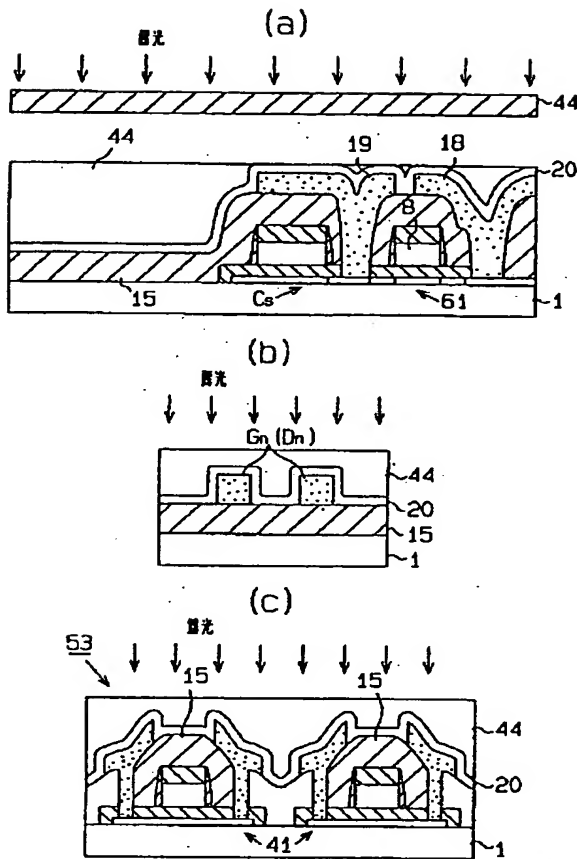
(c)



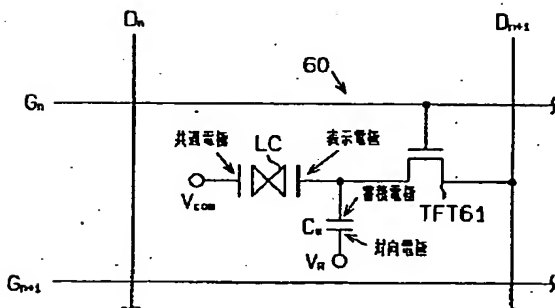
【図15】



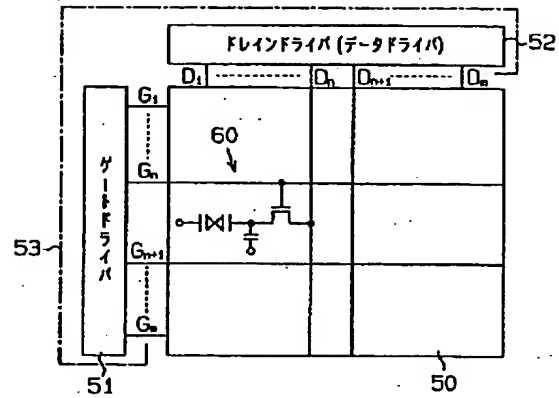
【図14】



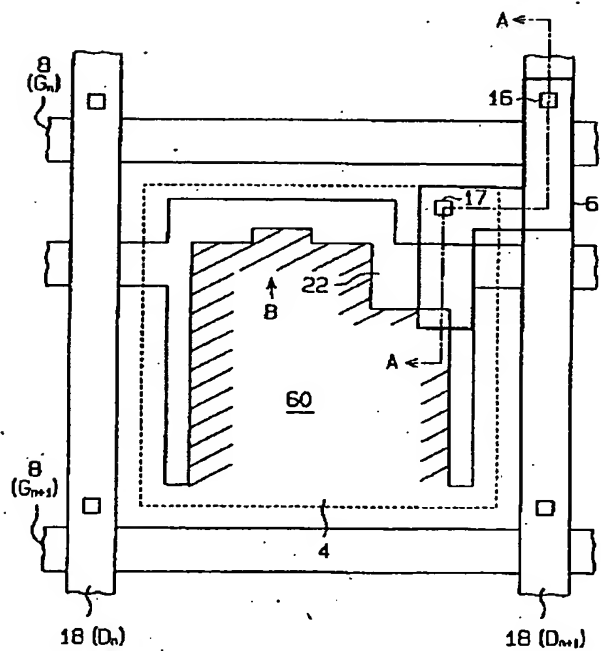
【図17】



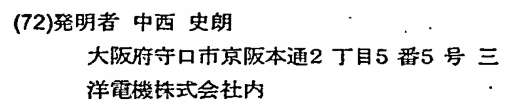
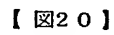
【図16】



【図19】



60 →



(72)発明者 阿部 寿

大阪府守口市京阪本通2 丁目5 番5 号 三
洋電機株式会社内

(72)発明者 森本 佳宏

大阪府守口市京阪本通2 丁目5 番5 号 三
洋電機株式会社内

(72)発明者 米田 清

大阪府守口市京阪本通2 丁目5 番5 号 三
洋電機株式会社内